



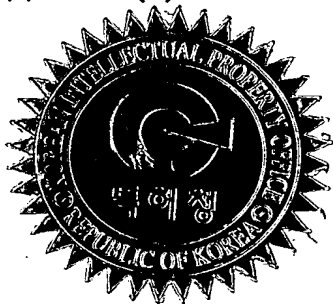
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0017582  
Application Number

출원 년 월 일 : 2003년 03월 20일  
Date of Application  
MAR 20, 2003

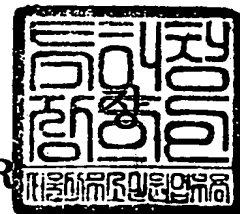
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      06      월      25      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.20
【발명의 명칭】	적어도 두 종류의 서로 다른 두께들을 갖는 게이트 절연막들을 채택하는 반도체소자의 자기정렬 트렌치 소자분리 방법들 및 이를 사용하여 제조된 반도체소자들
【발명의 영문명칭】	Self-aligned trench isolation methods of a semiconductor device employing gate insulating layers having at least two distinct thicknesses and semiconductor devices fabricated using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	김선영
【성명의 영문표기】	KIM, SUN YOUNG
【주민등록번호】	711014-1052217
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을아파트 황골주공1단지 130-205
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	21 면 21,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	24	항	877,000	원
【합계】	927,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

적어도 두 종류의 서로 다른 두께들을 갖는 게이트 절연막들을 채택하는 반도체소자의 자기정렬 트렌치 소자분리 방법들 및 이를 사용하여 제조된 반도체소자들을 제공한다. 상기 자기정렬 트렌치 소자분리 방법은 반도체기판의 제1 영역 상에 제1 게이트 패턴을 형성하는 것을 구비한다. 상기 제1 게이트 패턴은 차례로 적층된 제1 게이트 절연막 패턴, 제1 하부 게이트 도전막 패턴 및 게이트 식각저지막 패턴을 갖는다. 상기 제1 영역으로부터 이격된 제2 영역 상에 제2 게이트 패턴을 형성하여 상기 제1 및 제2 영역들 사이의 경계 영역을 한정한다. 상기 제2 게이트 패턴은 차례로 적층된 제2 게이트 절연막 패턴 및 제2 하부 게이트 도전막 패턴을 갖는다. 결과적으로, 상기 경계 영역 내에서 상기 제1 및 제2 게이트 패턴이 중첩되는 것을 방지할 수 있다. 따라서, 상기 제1 및 제2 게이트 패턴들을 갖는 반도체기판에 자기정렬 트렌치 소자분리 방법을 적용하는 경우에, 상기 경계 영역 내에 불필요한 활성영역이 형성되는 것을 방지할 수 있다.

**【대표도】**

도 14

**【명세서】****【발명의 명칭】**

적어도 두 종류의 서로 다른 두께들을 갖는 게이트 절연막들을 채택하는 반도체소자의 자기정렬 트렌치 소자분리 방법들 및 이를 사용하여 제조된 반도체소자들{Self-aligned trench isolation methods of a semiconductor device employing gate insulating layers having at least two distinct thicknesses and semiconductor devices fabricated using the same}

**【도면의 간단한 설명】**

도 1 내지 도 8은 종래의 자기정렬 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 9 내지 도 15는 본 발명의 일 실시예에 따른 자기정렬 트렌치 소자분리 방법 및 그에 의해 제조된 반도체 기억소자를 설명하기 위한 단면도들이다.

도 16 내지 도 19는 본 발명의 다른 실시예에 따른 자기정렬 트렌치 소자분리 방법 및 그에 의해 제조된 반도체 기억소자를 설명하기 위한 단면도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체소자의 제조방법들 및 그에 의해 제조된 반도체소자들에 관한 것으로, 특히 적어도 두 종류의 서로 다른 두께들을 갖는 게이트 절연막들을 채택하는 반

도체소자의 자기정렬 트렌치 소자분리 방법들 및 그에 의해 제조된 반도체소자들에 관한 것이다.

- <5> 반도체소자들은 트랜지스터들과 같은 개별소자들(discrete devices)로 구성된다. 이에 따라, 상기 트랜지스터들을 서로 격리시키기 위하여 소자분리 기술이 필수적으로 사용되고 있다.
- <6> 최근에, 상기 소자분리 기술로서 트렌치 소자분리 기술이 널리 사용되고 있다. 특히, 플래쉬 메모리소자와 같은 반도체 기억소자의 제조에 있어서, 자기정렬 트렌치 소자분리 기술(self-aligned trench isolation technique)이 플래쉬 메모리 셀의 특성을 향상시키기 위하여 널리 사용되고 있다.
- <7> 한편, 플래쉬 메모리소자들과 같은 반도체 기억소자들은 셀 어레이 영역 및 주변회로 영역을 구비한다. 상기 셀 어레이 영역은 2차원적으로 배열된 복수개의 셀 트랜지스터들을 포함하고, 상기 주변회로 영역은 고전압 트랜지스터들 및 저전압 트랜지스터들을 포함한다. 상기 플래쉬 메모리소자들에 있어서, 상기 셀 트랜지스터들의 각각은 일반적으로 차례로 적층된 터널산화막, 부유게이트, 게이트 층간절연막 및 제어게이트 전극으로 구성된 적층 게이트 패턴(stacked gate pattern)을 갖는다. 또한, 상기 고전압 트랜지스터는 상기 터널산화막보다 두꺼운 게이트 절연막을 채택한다. 이러한 플래쉬 메모리소자에 상기 자기정렬 트렌치 소자분리 기술을 적용함에 있어서 여러가지의 제약이 따를 수 있다.
- <8> 상기 자기정렬 트렌치 소자분리 기술을 사용하여 상기 플래쉬 메모리소자를 형성하는 방법이 미국특허공개번호 US 2002/0016041 A1(US patent publication No. US 2002/0016041 A1)에

"서로 다른 두께를 갖는 터널 절연막을 갖는 비휘발성 메모리소자를 제조하는 방법 (Method of fabricating a non-volatile memory device having a tunnel insulating layer including more than two portions of different thickness)"라는 제목으로 부(Boo) 등에 의해 개시된 바 있다.

<9> 부(Boo) 등에 따르면, 반도체기판의 셀 어레이 영역 및 주변회로 영역 상에 각각 터널 절연막 및 상기 터널 절연막보다 두꺼운 게이트 절연막을 형성하고, 상기 터널 절연막 및 게이트 절연막을 갖는 반도체기판의 전면 상에 도전막 및 제1 절연막을 차례로 형성한다. 상기 제1 절연막, 도전막, 터널 절연막, 게이트 절연막 및 반도체기판을 건식 식각하여 활성영역들을 한정하는 트렌치 영역을 형성한다. 이 경우에, 상기 트렌치 영역의 측벽은 일반적으로 건식 식각 공정의 특성에 기인하여 양의 경사진 프로파일(positive sloped profile)을 보인다. 다시 말해서, 상기 트렌치 영역의 상부폭은 그 하부폭보다 넓다. 이어서, 상기 트렌치 영역 내에 소자분리막을 형성한다. 그 결과, 상기 소자분리막의 측벽은 음의 경사진 프로파일을 보인다.

<10> 상기 제1 절연막을 제거하여 상기 도전막을 노출시킨다. 그 결과, 상기 소자분리막은 상대적으로 돌출된다. 상기 소자분리막의 돌출부는 여전히 음의 경사진 프로파일을 갖는다. 이에 따라, 후속공정에서 상기 도전막을 패터닝하여 셀 어레이 영역 내에 서로 이격된 부유게이트 패턴들을 형성하는 경우에, 상기 부유게이트 패턴들 사이에 스트링거가 잔존할 수 있다. 이러한 문제점을 해결하기 위하여 부(Boo) 등에 따른 방법은 상기 소자분리막의 돌출부를 화학기계적 연마 공정을 사용하여 제거하는 것을 특징으로 한다.

<11> 그럼에도 불구하고, 상기 자기정렬 트렌치 소자분리 기술은 몇몇 추가적인 문제점들(some additional problems)을 가질 수 있다.

- <12> 도 1 내지 도 8은 플래쉬 메모리소자와 관련하여 종래의 자기정렬 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.
- <13> 도 1을 참조하면, 반도체기판(1)의 전면 상에 게이트 절연막(3), 게이트 전극막(5) 및 게이트 식각저지막(7)을 차례로 형성한다. 상기 게이트 식각저지막(7), 하부 게이트 도전막(5) 및 게이트 절연막(3)을 패터닝하여 상기 반도체기판(1)의 소정영역을 노출시킨다. 상기 노출된 영역은 셀 어레이 영역(A)에 해당하고, 상기 패터닝된 게이트 식각저지막(7)에 의해 덮여진 영역은 주변회로 영역(B)에 해당한다. 상기 셀 어레이 영역(A) 내의 상기 반도체기판(1)이 노출된 결과물의 전면 상에 터널산화막(9), 도전막(11) 및 하드마스크막(13)을 차례로 형성한다.
- <14> 상기 하드마스크막(13) 상에 제1 포토레지스트 패턴(15)을 형성한다. 상기 제1 포토레지스트 패턴(15)은 사진공정동안 발생하는 오정렬을 고려하여 상기 셀 어레이 영역(A) 뿐만 아니라 상기 셀 어레이 영역(A)과 인접하는 영역을 덮도록 형성된다. 그 결과, 도 1에 도시된 바와 같이, 상기 제1 포토레지스트 패턴(15)의 가장자리는 상기 패터닝된 게이트 식각저지막(7)의 가장자리와 중첩된다. 이에 따라, 상기 셀 어레이 영역(A) 및 주변회로 영역(B) 사이에 상기 중첩된 영역(overlapped region)으로 이루어진 경계 영역(border region; D)이 생성된다.
- <15> 도 2를 참조하면, 상기 제1 포토레지스트 패턴(15)을 식각 마스크로 사용하여 상기 하드마스크막(13)을 식각하여 상기 셀 어레이 영역(A) 및 경계 영역(D)을 덮는 하드마스크 패턴(13a)을 형성한다. 이어서, 상기 제1 포토레지스트 패턴(15)을 제거한다. 상기 하드마스크 패턴(13a)을 식각 마스크로 사용하여 상기 도전막(11)을 식각하여 상기 하드마스크 패턴(13a) 하부에 하부 부유게이트막(11a)을 형성한다.



- <16> 도 3을 참조하면, 상기 하드마스크 패턴(13a) 및 상기 게이트 식각저지막(7)을 전면식각하여 상기 하부 부유게이트막(11a) 및 상기 하부 게이트 도전막(5)을 노출시킨다. 그 결과, 상기 경계 영역(D) 내에 게이트 식각저지막 패턴(7a)이 잔존한다. 상기 게이트 식각저지막 패턴(7a)은 상기 하부 게이트 도전막(5) 및 상기 하부 부유게이트막(11a) 사이에 개재된다.
- <17> 상기 하부 부유게이트막(11a) 및 상기 하부 게이트 도전막(5)이 노출된 반도체기판의 전면 상에 완충산화막(17), 화학기계적 연마 저지막(19) 및 하드마스크막(21)을 차례로 형성한다. 상기 하드마스크막(21) 상에 제2 포토레지스트 패턴(23)을 형성한다. 상기 제2 포토레지스트 패턴(23)은 상기 셀 어레이 영역(A) 및 주변회로 영역(B) 내에 각각 셀 활성영역 및 주변회로 활성영역을 한정하는 셀 활성영역 패턴(23a) 및 주변회로 활성영역 패턴(23b)을 포함한다. 상기 주변회로 활성영역 패턴(23b)은 상기 경계 영역(D)의 일부분을 덮도록 형성된다. 이는 반도체소자의 칩 사이즈가 증가되는 것을 방지하기 위함이다.
- <18> 도 4를 참조하면, 상기 제2 포토레지스트 패턴(23)을 식각 마스크로 사용하여 상기 하드마스크막(21), 화학기계적 연마 저지막(19) 및 완충산화막(17)을 연속적으로 패터닝한다. 그 결과, 상기 셀 어레이 영역(A) 내의 소정영역을 덮는 제1 트렌치 마스크 패턴이 형성되고, 상기 주변회로 영역(B)의 가장자리 및 이와 인접한 경계 영역(D)의 가장자리를 덮는 제2 트렌치 마스크 패턴이 형성된다. 상기 제1 트렌치 마스크 패턴은 차례로 적층된 제1 완충산화막 패턴(17a), 제1 화학기계적 연마 저지막 패턴(19a) 및 제1 하드마스크 패턴(21a)을 포함하고, 상기 제2 트렌치 마스크 패턴은 차례로 적층된 제2 완

충산화막 패턴(17b), 제2 화학기계적 연마 저지막 패턴(19b) 및 제2 하드마스크 패턴(21b)을 포함한다. 다음에, 상기 제2 포토레지스트 패턴(23)을 제거한다.

<19> 도 5를 참조하면, 상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 하부 부유게이트막(11a) 및 하부 게이트 도전막(5)과 아울러서 상기 터널산화막(9) 및 게이트 절연막(3)을 식각한다. 그 결과, 상기 제1 트렌치 마스크 패턴의 하부에 차례로 적층된 터널산화막 패턴(9a) 및 하부 부유게이트 패턴(11b)이 형성되고, 상기 제2 트렌치 마스크 패턴의 하부에 차례로 적층된 게이트 절연막 패턴(3a) 및 하부 게이트 전극 패턴(5a)이 형성된다. 이에 더하여, 상기 하부 게이트 전극 패턴(5a) 및 상기 제2 트렌치 마스크 패턴 사이에 상기 게이트 식각저지막 패턴(7a)과 아울러서 상기 하부 부유게이트막(11a)의 일 부분으로 이루어진 도전막 패턴(11c)이 잔존한다.

<20> 도 6을 참조하면, 상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 반도체기판(1)을 식각하여 트렌치 영역(25)을 형성한다. 그 결과, 도 6에 도시된 바와 같이, 상기 셀 어레이 영역(A) 내에 셀 활성영역(25a)이 한정되고, 상기 경계 영역(D) 및 이와 인접한 상기 주변회로 영역(B)의 가장자리에 가드밴드 활성영역(25d)이 한정된다.

<21> 도 7 및 도 8을 참조하면, 상기 트렌치 영역(25)을 갖는 반도체기판의 전면 상에 절연막을 형성한다. 상기 제1 및 제2 화학기계적 연마 저지막 패턴들(19a, 19b)이 노출될 때까지 상기 절연막을 평탄화시키어 상기 트렌치 영역(25) 내에 소자분리막(27)을 형성한다. 이어서, 상기 화학기계적 연마 저지막 패턴들(19a, 19b) 및 상기 완충산화막 패턴들(17a, 17b)을 제거하여 상기 하부 부유게이트 패턴(11b) 및 하부 게이트 전극 패턴(5a)을 노출시킨다. 상기 화학기계적 연마 저지막 패턴들(19a, 19b) 및 상기 완충산화막

패턴들(17a, 17b)은 일반적으로 상기 하부 부유게이트 패턴(11b) 및 하부 게이트 전극 패턴(5a)의 표면들이 손상되는 것을 방지하기 위하여 습식 식각공정을 사용하여 제거한다. 상기 화학기계적 연마 저지막 패턴들(19a, 19b) 및 상기 완충산화막 패턴들(17a, 17b)이 과도 습식식각(over wet-etched)되는 경우에, 상기 경계 영역(D) 내의 상기 도전막 패턴(11c)이 들뜨 수 있다. 특히, 반도체소자의 집적도가 증가함에 따라, 상기 도전막 패턴(11c)의 폭은 점점 감소한다. 이 경우에, 상기 도전막 패턴(11c)은 쉽게 들뜨 수 있다.

<22> 한편, 상기 도전막 패턴(11c)이 들뜨는 것을 방지하기 위해서는 상기 습식 식각 시간(wet etching time)이 감소되어야 한다. 이 경우에, 도 8에 도시된 바와 같이 상기 경계 영역(D) 내의 상기 하부 게이트 전극 패턴(5a) 상에 상기 게이트 식각저지막 패턴(7a)이 잔존할 수 있다. 이에 따라, 후속공정에서 상기 경계 영역(D) 내의 상기 하부 게이트 전극 패턴(5a)이 제거되지 않을 수 있다. 결과적으로, 통상의 반도체 제조공정을 사용하여 상기 가드밴드 활성영역(25d)을 불순물 이온들로 도우핑시키기가 어렵다. 다시 말해서, 상기 가드밴드 활성영역(25d) 내에 웰 픽업 영역과 같은 불순물 영역을 형성하기가 어렵다. 이에 따라, 상기 경계 영역(D) 내의 가드밴드 활성영역(25d)은 그 고유의 기능을 상실하여 칩 사이즈를 증가시킨다.

#### 【발명이 이루고자 하는 기술적 과제】

<23> 본 발명이 이루고자 하는 기술적 과제는 패턴 들뜸(pattern lifting)을 방지할 수 있는 자기정렬 소자분리 방법 및 그에 의해 제조된 반도체소자를 제공하는 데 있다.

<24> 본 발명이 이루고자 하는 다른 기술적 과제는 셀 어레이 영역 및 주변회로 영역 사이의 경계 영역 내에 활성영역이 형성되는 것을 근본적으로 방지할 수 있는 자기정렬 트렌치 소자분리 방법 및 그에 의해 제조된 반도체소자를 제공하는 데 있다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제들을 이루기 위하여 본 발명은 서로 다른 게이트 절연막들을 갖는 반도체소자의 자기정렬 트렌치 소자분리 방법을 제공한다. 이 방법은 반도체기판의 제1 영역 상에 제1 게이트 패턴을 형성하는 것을 포함한다. 상기 제1 게이트 패턴은 차례로 적층된 제1 게이트 절연막 패턴, 제1 하부 게이트 도전막 패턴 및 게이트 식각저지막 패턴을 갖도록 형성된다. 상기 제1 영역으로부터 이격된 제2 영역 상에 제2 게이트 패턴을 형성하여 상기 제1 및 제2 영역들 사이의 경계 영역을 한정한다. 상기 제2 게이트 패턴은 차례로 적층된 제2 게이트 절연막 패턴 및 제2 하부 게이트 도전막 패턴을 포함하도록 형성된다. 상기 게이트 식각저지막 패턴을 제거하여 상기 제1 하부 게이트 도전막 패턴을 노출시킨다. 상기 제1 및 제2 하부 게이트 도전막 패턴들의 소정영역들 상에 각각 제1 및 제2 트렌치 마스크 패턴들을 형성한다. 이어서, 상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 제1 및 제2 하부 게이트 도전막 패턴들과 아울러서 상기 제1 및 제2 게이트 절연막 패턴들을 식각한다. 그 결과, 상기 제1 및 제2 트렌치 마스크 패턴들의 아래에 각각 제1 및 제2 하부 게이트 전극 패턴들이 형성된다. 상기 제1 및 제2 하부 게이트 전극 패턴들이 형성되는 동안 상기 경계 영역 내의 상기 반도체기판은 상기 제1 및 제2 하부 게이트 도전막 패턴들의 식각공정 동안 식각된다. 이에 따라, 상기 경계 영역 내에 소정의 깊이를 갖는 그루브 영역이 생성된다. 상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여

트렌치 영역들을 형성한다. 상기 경계 영역 내의 상기 트렌치 영역은 상기 그루브 영역에 기인하여 상기 제1 및 제2 영역들 내의 상기 트렌치 영역들보다 깊도록 형성된다.

<26>       상기 제1 및 제2 영역들은 각각 주변회로 영역 및 플래쉬 메모리 셀 어레이 영역일 수 있다. 이 경우에, 상기 제1 및 제2 게이트 절연막 패턴들은 각각 주변회로 게이트 절연막 및 터널 산화막에 해당한다.

<27>       이에 더하여, 상기 제1 영역 내의 상기 트렌치 영역은 상기 제2 영역 내의 상기 트렌치 영역보다 깊도록 형성될 수 있다.

<28>       더 나아가서, 상기 트렌치 영역들 내에 소자분리막을 형성한다.

<29>       상기 기술적 과제들을 이루기 위하여 본 발명은 또한 자기정렬 트렌치 소자분리 방법을 사용하여 제조된 반도체소자를 제공한다. 상기 반도체소자는 제1 영역, 상기 제1 영역으로부터 이격된 제2 영역 및 상기 제1 및 제2 영역들 사이의 경계 영역을 갖는 반도체기판을 포함한다. 상기 제1 영역 내의 상기 반도체기판의 소정영역에 제1 트렌치 영역이 배치된다. 상기 제1 트렌치 영역은 상기 제1 영역 내에 제1 활성영역을 한정한다. 이와 마찬가지로, 상기 제2 영역 내의 상기 반도체기판에 제2 트렌치 영역이 배치된다. 상기 제2 트렌치 영역은 상기 제2 영역 내에 제2 활성영역을 한정한다. 또한, 상기 경계 영역 내의 상기 반도체기판에 경계 트렌치 영역이 배치된다. 상기 경계 트렌치 영역은 상기 제1 및 제2 트렌치 영역들보다 깊다.

<30>       상기 제1 활성영역 상에 제1 게이트 절연막 및 제1 하부 게이트 전극 패턴이 차례로 적층되고, 상기 제2 활성영역 상에 제2 게이트 절연막 및 제2 하부 게이트 전극 패턴

이 차례로 적층된다. 상기 제1 게이트 절연막은 상기 제2 게이트 절연막과 다른 두께를 갖는다.

<31>       상기 제1 및 제2 영역들은 각각 주변회로 영역 및 플래쉬 메모리 셀 어레이 영역일 수 있다. 이 경우에, 상기 제1 게이트 절연막은 주변회로 게이트 절연막에 해당하고, 상기 제2 게이트 절연막은 터널산화막에 해당한다.

<32>       상기 제1 트렌치 영역은 상기 제2 트렌치 영역보다 깊을 수 있다.

<33>       또한, 상기 제1 및 제2 트렌치 영역들과 아울러서 상기 경계 트렌치 영역은 소자분리막으로 채워질 수 있다.

<34>       이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다.

<35>       도 9 내지 도 15는 본 발명의 제1 실시예에 따른 자기정렬 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

<36>       도 9를 참조하면, 반도체기판(51) 상에 제1 게이트 절연막, 제1 하부 게이트 도전막(a first lower gate conductive layer) 및 게이트 식각저지막(gate etch stopper layer)를 차례로 형성한다. 상기 제1 게이트 절연막은 열산화막으로 형성할 수 있고, 상기 제1 하부 게이트 도전막은 상기 반도체기판과 동일한 반도체막을 사용하여 형성할 수 있다. 예를 들면, 상기 반도체기판이 실리콘 기판인 경우에, 상기 제1 하부 게이트 도전막은 도우핑된 폴리실리콘막(doped polysilicon layer) 또는 도우핑된 비정질 실리콘막과 같은 도우핑된 실리콘막으로 형성할 수 있다. 또한, 상기 게이트 식각저지막은 상

기 제1 하부 게이트 도전막에 대하여 식각선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 예를 들면, 상기 게이트 식각저지막은 CVD 산화막으로 형성할 수 있다.

<37>       상기 게이트 식각저지막, 제1 하부 게이트 도전막 및 제1 게이트 절연막을 패터닝하여 상기 반도체기판(51)의 제1 영역(B) 상에 차례로 적층된 제1 게이트 절연막 패턴(53), 제1 하부 게이트 도전막 패턴(55) 및 게이트 식각저지막 패턴(57)을 형성한다. 상기 제1 게이트 절연막 패턴(53), 제1 하부 게이트 도전막 패턴(55) 및 게이트 식각저지막 패턴(57)은 제1 게이트 패턴(58)을 구성한다. 상기 제1 영역(B)은 반도체소자의 주변회로 영역, 예컨대 플래쉬 메모리소자의 주변회로 영역일 수 있다. 이 경우에, 상기 제1 게이트 절연막(53)은 주변회로 게이트 절연막 패턴에 해당한다.

<38>       상기 제1 게이트 패턴(58)을 갖는 반도체기판의 전면 상에 제2 게이트 절연막(59) 및 제2 하부 게이트 도전막(61)을 차례로 형성한다. 상기 제2 게이트 절연막(59)은 열산화막으로 형성할 수 있고 상기 제1 게이트 절연막 패턴(53)과 다른 두께를 갖는다. 상기 제2 하부 게이트 도전막(61)은 상기 제1 하부 게이트 도전막 패턴(55)과 동일한 도전막으로 형성할 수 있다. 더 나아가서, 상기 제2 하부 게이트 도전막(61) 상에 제1 하드마스크막(63)을 추가로 형성하는 것이 바람직하다. 상기 제1 하드마스크막(63)은 상기 게이트 식각저지막 패턴(57)과 동일한 물질막으로 형성하는 것이 바람직하다.

<39>       상기 제1 하드마스크막(63) 상에 제1 포토레지스트 패턴(65)을 형성한다. 상기 제1 포토레지스트 패턴(65)은 상기 제1 영역(B)과 이격된 제2 영역(A)을 덮도록 형성된다. 이에 따라, 상기 제1 및 제2 영역들(B, A) 사이에 소정의 폭을 갖는 경계 영역(border region; D)이 한정된다. 상기 제1 영역(B)이 상기 플래쉬 메모리소자의 주변회로 영역이라면, 상기 제2 영역(A)은 상기 플래쉬 메모리소자의 셀 어레이 영역에 해당할 수 있다.

이 경우에, 상기 제2 게이트 절연막(59)은 터널산화막에 해당하고, 상기 제2 하부 게이트 도전막(61)은 하부 부유게이트막에 해당한다.

<40> 도 10을 참조하면, 상기 제1 포토레지스트 패턴(65)을 식각 마스크로 사용하여 상기 제1 하드마스크막(63)을 식각하여 상기 셀 어레이 영역(A) 상부에 제1 하드마스크 패턴(63a)을 형성한다. 이어서, 상기 제1 포토레지스트 패턴(65)을 제거한다. 상기 제1 하드마스크 패턴(63a)을 식각 마스크로 사용하여 상기 제2 하부 게이트 도전막(61)을 식각하여 상기 셀 어레이 영역(A)을 덮는 제2 하부 게이트 도전막 패턴(61a)을 형성한다. 상기 제1 하드마스크 패턴(63a)이 형성되는 경우에, 상기 제2 하부 게이트 도전막(61)은 습식식각 공정을 사용하여 식각되는 것이 바람직하다. 결과적으로, 상기 셀 어레이 영역(A) 상에 차례로 적층된 제2 게이트 절연막(59), 제2 하부 게이트 도전막 패턴(61a) 및 제1 하드마스크 패턴(63a)이 형성된다. 상기 제2 게이트 절연막(59) 및 상기 제2 하부 게이트 도전막 패턴(61a)은 제2 게이트 패턴(62), 예컨대 셀 게이트 패턴을 구성한다.

<41> 한편, 상기 제1 하드마스크막(63)을 형성하는 공정을 생략하는 경우에는, 상기 제2 하부 게이트 도전막(61)은 상기 제1 포토레지스트 패턴(65)을 식각 마스크로 사용하여 식각된다. 이 경우에, 상기 셀 어레이 영역(A) 상에 상기 제2 게이트 패턴(62)만이 형성된다.

<42> 도 11을 참조하면, 상기 게이트 식각저지막 패턴(57) 및 상기 제1 하드마스크 패턴(63a)을 산화막 식각용액을 사용하여 제거한다. 그 결과, 상기 제1 하부 게이트 도전막 패턴(55) 및 상기 제2 하부 게이트 도전막 패턴(61a)이 노출되고, 상기 경계 영역(D) 내의 상기 반도체기판(51)이 노출된다. 상기 게이트 식각저지막 패턴(57) 및 상기 제1 하드마스크 패턴(63a)이 제거된 반도체기판의 전면 상에 트렌치 마스크막(74)을 형



성한다. 상기 트렌치 마스크막(74)은 적어도 연마저지막(polishing stopper layer; 69)을 포함한다. 바람직하게는, 상기 트렌치 마스크막(74)은 완충산화막(buffer oxide layer; 67), 상기 연마저지막(69) 및 제2 하드마스크막(71)을 차례로 적층시키어 형성한다. 더 나아가서, 상기 트렌치 마스크막(74)은 상기 제2 하드마스크막(71) 상에 형성된 반사방지막(anti-reflective layer; 73)을 더 포함할 수도 있다. 상기 연마저지막(69)은 실리콘 질화막으로 형성할 수 있고, 상기 완충산화막(67)은 CVD 산화막으로 형성할 수 있다. 상기 완충산화막(67)은 상기 연마저지막(69)의 물리적인 스트레스가 상기 반도체 기판(51)과 아울러서 상기 제1 및 제2 하부 게이트 도전막 패턴들(55, 61a)에 가해지는 것을 방지한다.

<43>       상기 트렌치 마스크막(74) 상에 활성영역들을 한정하기 위한 제2 포토레지스트 패턴(75)을 형성한다. 상기 제2 포토레지스트 패턴(75)은 상기 셀 어레이 영역(A)의 소정 영역을 덮는 셀 활성영역 패턴(75a) 및 상기 주변회로 영역(B)의 소정영역을 덮는 주변회로 활성영역 패턴(75b)을 포함한다.

<44>       도 12를 참조하면, 상기 제2 포토레지스트 패턴(75)을 식각 마스크로 사용하여 상기 트렌치 마스크막(74)을 식각하여 상기 주변회로 영역(B) 및 셀 어레이 영역(A)에 각각 제1 및 제2 트렌치 마스크 패턴들(74b, 74a)을 형성한다. 결과적으로, 상기 제1 트렌치 마스크 패턴(74b)은 차례로 적층된 제1 완충산화막 패턴(67b), 제1 연마저지막 패턴(69b), 하드마스크 패턴(71b) 및 제1 반사방지막 패턴(73b)을 포함하고, 상기 제2 트렌치 마스크 패턴(74a)은 차례로 적층된 제2 완충산화막 패턴(67a), 제2 연마저지막 패턴(69a), 하드마스크 패턴(71a) 및 제2 반사방지막 패턴(73a)을 포함한다. 이 경우에, 상

기 경계 영역(D) 내의 상기 반도체기판(51)은 노출된다. 이어서, 상기 제2 포토레지스트 패턴(75)을 제거한다.

<45> 도 13을 참조하면, 상기 제1 및 제2 트렌치 마스크 패턴들(74b, 74a)을 식각 마스크들로 사용하여 상기 제1 및 제2 하부 게이트 도전막 패턴들(55, 61a)을 식각하여 상기 제1 및 제2 게이트 절연막 패턴들(53, 59)을 노출시킨다. 그결과, 상기 제1 트렌치 마스크 패턴(74b) 하부에 제1 하부 게이트 전극 패턴(55a)이 형성되고, 상기 제2 트렌치 마스크 패턴(74a) 하부에 제2 하부 게이트 전극 패턴(61b)이 형성된다. 상기 셀 어레이 영역(A)이 플래쉬 메모리소자의 셀 어레이 영역에 해당하는 경우에, 상기 제2 하부 게이트 전극 패턴(61b)은 하부 부유게이트 패턴에 해당한다. 상기 제1 및 제2 하부 게이트 도전막 패턴들(55, 61a)의 식각공정 동안 상기 경계 영역(D) 내의 상기 반도체기판(51) 역시 식각될 수 있다. 이에 따라, 상기 경계 영역(D) 내에 소정의 깊이(P)를 갖는 그루브 영역(G)이 형성될 수 있다.

<46> 계속해서, 상기 제1 및 제2 트렌치 마스크 패턴들(74b, 74a)을 식각 마스크들로 사용하여 상기 노출된 제1 및 제2 게이트 절연막 패턴들(53, 59)을 식각하여 상기 반도체기판(51)을 노출시킨다. 그 결과, 상기 제1 및 제2 하부 게이트 전극 패턴들(55a, 61b)의 하부에 각각 제1 및 제2 게이트 절연막들(53a, 59a)이 형성된다.

<47> 도 14 및 도 15를 참조하면, 상기 제1 및 제2 트렌치 마스크 패턴들(74b, 74a)을 식각 마스크들로 사용하여 상기 노출된 반도체기판(51)을 식각한다. 그 결과, 상기 주변 회로 영역(B) 및 상기 셀 어레이 영역(A) 내에 각각 제1 활성영역(77b; 주변회로 활성영역) 및 제2 활성영역(77a; 셀 활성영역)을 한정하는 트렌치 영역들(77)이 형성되고, 상기 경계 영역(D) 내에 경계 트렌치 영역(77d)이

형성된다. 상기 경계 트렌치 영역(77d)은 도 14에 도시된 바와 같이, 상기 그루브 영역(G)에 기인하여 상기 트렌치 영역들(77)보다 깊도록 형성된다. 이어서, 상기 트렌치 영역들(77, 77d) 내에 통상의 방법을 사용하여 소자분리막(79)을 형성한다.

<48> 도 16 내지 도 19는 본 발명의 제2 실시예에 따른 자기정렬 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

<49> 도 16을 참조하면, 본 발명의 제1 실시예와 동일한 방법을 사용하여 도 13에 보여진 상기 제1 및 제2 하부 게이트 전극 패턴들(55a, 61b)을 형성한다. 그 결과, 도 13에서 설명된 바와 같이 상기 경계 영역(D) 내에 상기 그루브 영역(G)이 형성될 수 있다. 상기 그루브 영역(G)을 갖는 반도체기판 상에 상기 셀 어레이 영역(A)을 덮는 제3 포토레지스트 패턴(81)을 형성한다.

<50> 도 17을 참조하면, 상기 제3 포토레지스트 패턴(81) 및 제1 트렌치 마스크 패턴(74b)을 식각 마스크들로 사용하여 상기 경계 영역(D) 및 주변회로 영역(B) 내의 반도체기판(51)을 식각하여 상기 주변회로 영역(B) 및 경계 영역(D) 내에 각각 예비 주변회로 트렌치 영역(preliminary peripheral circuit trench region; 85b) 및 예비 경계 트렌치 영역(preliminary border trench region; 85d)을 형성한다. 상기 예비 경계 트렌치 영역(85d)은 상기 그루브 영역(G)에 기인하여 상기 예비 주변회로 트렌치 영역(85b)보다 깊도록 형성된다. 상기 예비 주변회로 트렌치 영역(85b)은 상기 주변회로 영역(B) 내에 주변회로 활성영역(83)을 한정한다. 이어서, 상기 제3 포토레지스트 패턴(81)을 제거한다.

<51> 도 18 및 도 19를 참조하면, 상기 제1 및 제2 트렌치 마스크 패턴들(74b,

74a)을 식각 마스크들로 사용하여 상기 반도체기판(51)을 식각하여 상기 주변회로 영역(B), 경계 영역(D) 및 셀 어레이 영역(A) 내에 각각 주변회로 트렌치 영역(85b), 경계 트렌치 영역(85d) 및 셀 트렌치 영역(85a)을 형성한다. 그 결과, 도 18에 보여진 바와 같이, 상기 주변회로 트렌치 영역(85b)은 상기 셀 트렌치 영역(85a)보다 깊도록 형성되고, 상기 경계 트렌치 영역(85d)은 상기 주변회로 트렌치 영역(85b)보다 깊도록 형성된다. 상기 셀 트렌치 영역(85a)은 상기 셀 어레이 영역(A) 내에 셀 활성영역(85)을 한정한다. 다음에, 상기 셀 트렌치 영역(85a), 주변회로 트렌치 영역(85b) 및 경계 트렌치 영역(85d) 내에 각각 셀 소자분리막(87a), 주변회로 소자분리막(87b) 및 경계 소자분리막(87d)을 형성한다. 상기 소자분리막들(87a, 87b, 87d)은 화학기계적 연마 공정을 사용하여 형성할 수 있다. 이 경우에, 상기 제1 및 제2 연마저지막들(69a, 69b)이 노출된다.

<52> 이제, 도 14 및 도 15를 다시 참조하여 본 발명의 제1 실시예에 따른 자기정렬 트렌치 소자분리 방법을 사용하여 제조된 반도체소자의 구조를 설명하기로 한다.

<53> 도 14 및 도 15를 참조하면, 반도체기판(51)은 제1 영역(B), 상기 제1 영역(B)으로부터 이격된 제2 영역(A), 및 상기 제1 및 제2 영역들(B, A) 사이의 경계 영역(D)을 갖는다. 상기 제1 영역(B)은 반도체소자의 주변회로 영역, 예컨대 플래쉬 메모리소자의 주변회로 영역에 해당할 수 있다. 이 경우에, 상기 제2 영역(A)은 플래쉬 메모리소자의 셀 어레이 영역에 해당한다. 상기 제1 영역(B) 내의 상기 반도체기판(51)에 제1 활성영역(77b)을 한정하는 제1 트렌치 영역(77)이 배치된다. 이와 마찬가지로(similarly), 상기 제2 영역(A) 내의 상기 반도체기판(51)에 제2 활성영역(77a)을 한정하는 제2 트렌치 영역(77)이 배치된다. 또한, 상기 경계 영역(D) 내의 상기 반도체기판(51)에 경계 트렌치

영역(77d)이 배치된다. 상기 경계 트렌치 영역(77d)은 상기 제1 및 제2 트렌치 영역들(77)보다 깊다.

<54>       상기 제1 및 제2 영역들(B, A)은 각각 반도체소자의 주변회로 영역 및 셀 어레이 영역에 해당할 수 있다. 예를 들면, 상기 제1 및 제2 영역들(B, A)은 각각 플래쉬 메모리 소자의 주변회로 영역 및 셀 어레이 영역에 해당할 수 있다. 이 경우에, 상기 제1 활성영역(77b)은 주변회로 활성영역에 해당하고, 상기 제2 활성영역(77a)은 셀 활성영역에 해당한다. 이에 더하여, 상기 제1 및 제2 트렌치 영역들(77)은 각각 주변회로 트렌치 영역 및 셀 트렌치 영역에 해당한다.

<55>       상기 제1 활성영역(77b) 상에 제1 게이트 절연막(53a) 및 제1 하부 게이트 전극 패턴(55a)이 차례로 적층되고, 상기 제2 활성영역(77a) 상에 제2 게이트 절연막(59a) 및 제2 하부 게이트 전극 패턴(61b)이 차례로 적층된다. 상기 제1 게이트 절연막(53a)은 상기 제2 게이트 절연막(59a)과 다른 두께를 갖는다. 특히, 상기 제1 및 제2 영역들(B, A)이 각각 상기 플래쉬 메모리 소자의 주변회로 영역 및 셀 어레이 영역에 해당하는 경우에, 상기 제1 및 제2 게이트 절연막들(53a, 59a)은 각각 주변회로 게이트 절연막 및 터널 산화막에 해당하고 상기 제2 하부 게이트 전극 패턴(61b)은 하부 부유게이트 패턴에 해당한다.

<56>       상기 제1 및 제2 트렌치 영역들(77)과 아울러서 상기 경계 트렌치 영역(77d)은 소자분리막(77)으로 채워진다.

<57>       다음에, 도 18 및 도 19를 다시 참조하여 본 발명의 제2 실시예에 따른 자기정렬 트렌치 소자분리방법을 사용하여 제조된 반도체소자의 구조를 설명하기로 한다.

<58> 도 18 및 도 19를 참조하면, 본 실시예는 제1 실시예처럼 주변회로 영역에 해당하는 제1 영역(B), 셀 어레이 영역에 해당하는 제2 영역(A) 및 상기 제1 및 제2 영역들(B, A) 사이의 경계 영역(D)을 갖는 반도체기판(51)을 구비한다. 상기 제1 영역(B) 내에 제1 활성영역(83)을 한정하는 제1 트렌치 영역(85b)이 배치되고, 상기 제2 영역(A) 내에 제2 활성영역(85)을 한정하는 제2 트렌치 영역(85a)이 배치된다. 또한, 상기 경계 영역(D) 내에 경계 트렌치 영역(85d)이 배치된다. 상기 제1 트렌치 영역(85b), 즉 주변회로 트렌치 영역은 상기 제2 트렌치 영역(85a), 즉 셀 트렌치 영역보다 깊고, 상기 경계 트렌치 영역(85d)은 상기 제1 트렌치 영역(85b)보다 깊다.

<59> 상기 제1 활성영역(83)은 제1 실시예처럼 차례로 적층된 제1 게이트 절연막(53a) 및 제1 하부 게이트 전극 패턴(55a)으로 덮여지고, 상기 제2 활성영역(85) 역시 제1 실시예처럼 차례로 적층된 제2 게이트 절연막(59a) 및 제2 하부 게이트 전극 패턴(61b)으로 덮여진다.

<60> 상기 셀 트렌치 영역(85a)은 셀 소자분리막(87a)으로 채워지고, 상기 주변회로 트렌치 영역(85b)은 주변회로 소자분리막(87b)로 채워진다. 또한, 상기 경계 트렌치 영역(85d)은 경계 소자분리막(87d)로 채워진다. 결과적으로, 상기 주변회로 소자분리막(87b)은 상기 셀 소자분리막(87a)보다 두껍고, 상기 경계 소자분리막(87d)은 상기 주변회로 소자분리막(87b)보다 두껍다.

#### 【발명의 효과】

<61> 상술한 바와 같이 본 발명의 실시예들에 따르면, 서로 다른 게이트 절연막들을 갖는 반도체소자를 자기정렬 트렌치 소자분리 방법을 사용하여 제조하는 경우에, 셀 어레이 영역 및 주변회로 영역 사이의 경계 영역 내에서 두개의 다른 게이트 도전막들(two

different gate conductive layers)이 서로 중첩되는 것을 방지할 수 있다. 이에 따라, 상기 중첩된 게이트 도전막들에 기인하는 패턴 들뜸(pattern lifting)을 방지할 수 있다. 이에 더하여, 상기 경계 영역 내에 불필요한 활성영역이 형성되는 것을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판의 제1 영역 상에 제1 게이트 패턴을 형성하되, 상기 제1 게이트 패턴은 차례로 적층된 제1 게이트 절연막 패턴, 제1 하부 게이트 도전막 패턴 및 게이트 식각 저지막 패턴을 갖고,

상기 제1 영역으로부터 이격된 제2 영역 상에 제2 게이트 패턴을 형성하여 상기 제1 및 제2 영역들 사이의 경계 영역을 한정하되, 상기 제2 게이트 패턴은 차례로 적층된 제2 게이트 절연막 패턴 및 제2 하부 게이트 도전막 패턴을 갖고,

상기 게이트 식각저지막 패턴을 제거하여 상기 제1 하부 게이트 도전막 패턴을 노출시키고,

상기 제1 및 제2 하부 게이트 도전막 패턴들의 소정영역들 상에 각각 제1 및 제2 트렌치 마스크 패턴들을 형성하고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 제1 및 제2 하부 게이트 도전막 패턴들과 아울러서 상기 제1 및 제2 게이트 절연막 패턴들을 식각하여 상기 제1 및 제2 트렌치 마스크 패턴들의 아래에 각각 제1 및 제2 하부 게이트 전극 패턴들을 형성하되, 상기 경계 영역 내의 상기 반도체기판은 상기 제1 및 제2 하부 게이트 도전막 패턴들의 식각공정 동안 식각되어 소정의 깊이를 갖는 그루브 영역을 생성시키고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 트렌치 영역들을 형성하는 것을 포함하되, 상기 경계 영역 내의 상기 트



렌치 영역은 상기 제1 및 제2 영역들 내의 상기 트렌치 영역들보다 깊도록 형성되는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

【청구항 2】

제 1 항에 있어서,

상기 제1 및 제2 하부 게이트 도전막 패턴들은 상기 반도체기판과 동일한 반도체막을 사용하여 형성하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

【청구항 3】

제 1 항에 있어서,

상기 게이트 식각저지막 패턴은 실리콘 산화막으로 형성하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

【청구항 4】

제 1 항에 있어서,

상기 제2 게이트 패턴을 형성하는 것은

상기 제1 게이트 패턴을 갖는 반도체기판의 전면 상에 상기 제1 게이트 절연막 패턴과 다른 두께를 갖는 제2 게이트 절연막 및 제2 하부 게이트 도전막을 차례로 형성하고,

상기 제2 하부 게이트 도전막 상에 상기 제1 영역으로부터 이격된 제2 영역을 덮는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제2 게이트 도전막을 식각하는 것을 포함하는 것을 특징으로 자기정렬 트렌치 소자분리 방법.

**【청구항 5】**

제 4 항에 있어서,

상기 포토레지스트 패턴을 형성하기 전에 상기 제2 하부 게이트 도전막 상에 하드 마스크막을 형성하는 것을 더 포함하되, 상기 하드마스크막은 상기 제2 하부 게이트 도전막을 식각하기 전에 상기 포토레지스트 패턴을 식각마스크로 사용하여 식각되어 하드 마스크 패턴을 형성하고, 상기 하드마스크 패턴은 상기 게이트 식각저지막 패턴과 함께 동시에 제거되는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

**【청구항 6】**

제 5 항에 있어서,

상기 하드마스크막은 상기 게이트 식각저지막 패턴과 동일한 물질막으로 형성하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

**【청구항 7】**

제 1 항에 있어서,

상기 제1 및 제2 트렌치 마스크 패턴들을 형성하는 것은

상기 제1 하부 게이트 도전막 패턴이 노출된 반도체기판의 전면 상에 트렌치 마스크막을 형성하고,

상기 트렌치 마스크막을 패터닝하는 것을 포함하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

**【청구항 8】**

제 7 항에 있어서,

상기 트렌치 마스크막은 적어도 연마저지막을 포함하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

【청구항 9】

제 8 항에 있어서,

상기 트렌치 마스크막은 완충산화막, 연마저지막 및 하드마스크막을 차례로 적층시킴으로써 형성하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

【청구항 10】

제 1 항에 있어서,

상기 트렌치 영역들을 형성하는 것은

상기 그루브 영역을 갖는 반도체기판 상에 상기 제2 영역을 덮는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴 및 상기 제1 트렌치 마스크 패턴을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 상기 제1 영역 및 상기 경계 영역 내에 각각 제1 예비 트렌치 영역 및 상기 제1 예비 트렌치 영역보다 깊은 예비 경계 트렌치 영역을 형성하고,

상기 포토레지스트 패턴을 제거하고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 상기 제1 및 제2 영역들 내에 각각 제1 트렌치 영역 및 상기 제1 트렌치 영역보다 얇은 제2 트렌치 영역을 형성함과 동시에 상기 경계 영역 내에 상기 제1 및 제

2 트렌치 영역들보다 깊은 경계 트렌치 영역을 형성하는 것을 포함하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

【청구항 11】

제 1 항에 있어서,

상기 트렌치 영역들 내에 소자분리막을 형성하는 것을 더 포함하는 것을 특징으로 하는 자기정렬 트렌치 소자분리 방법.

【청구항 12】

반도체기판의 소정영역 상에 주변회로 영역을 한정하는 주변회로 게이트 패턴을 형성하되, 상기 주변회로 게이트 패턴은 차례로 적층된 주변회로 게이트 절연막 패턴, 제1 하부 게이트 도전막 패턴 및 게이트 식각저지막 패턴을 갖고,

상기 주변회로 영역으로부터 이격된 영역 상에 셀 게이트 패턴을 형성하여 상기 셀 게이트 패턴의 하부에 셀 어레이 영역을 한정함과 동시에 상기 셀 어레이 영역 및 상기 주변회로 영역 사이의 경계 영역을 한정하되, 상기 셀 게이트 패턴은 차례로 적층된 터널 산화막 패턴 및 제2 하부 게이트 도전막 패턴을 갖고,

상기 게이트 식각저지막 패턴을 제거하여 상기 제1 하부 게이트 도전막 패턴을 노출시키고,

상기 제1 및 제2 하부 게이트 도전막 패턴들의 소정영역들 상에 각각 제1 및 제2 트렌치 마스크 패턴들을 형성하고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 제1 및 제2 하부 게이트 도전막 패턴들과 아울러서 상기 터널산화막 패턴 및 상기

주변회로 게이트 절연막 패턴을 식각하여 상기 제1 및 제2 트렌치 마스크 패턴들의 아래에 각각 하부 부유게이트 패턴 및 하부 게이트 전극 패턴을 형성하되, 상기 경계 영역 내의 상기 반도체기판은 상기 제1 및 제2 하부 게이트 도전막 패턴들의 식각공정 동안 식각되어 소정의 깊이를 갖는 그루브 영역을 생성시키고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 트렌치 영역들을 형성하는 것을 포함하되, 상기 경계 영역 내의 상기 트렌치 영역은 상기 셀 어레이 영역 및 상기 주변회로 영역 내의 상기 트렌치 영역들보다 깊도록 형성되는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

#### 【청구항 13】

제 12 항에 있어서,

상기 셀 게이트 패턴을 형성하는 것은

상기 주변회로 게이트 패턴을 갖는 반도체기판의 전면 상에 상기 주변회로 게이트 절연막 패턴과 다른 두께를 갖는 터널산화막 및 제2 하부 게이트 도전막을 차례로 형성하고,

상기 제2 하부 게이트 도전막 상에 상기 주변회로 영역으로부터 이격된 포토레지스트 패턴을 형성하되, 상기 포토레지스트 패턴은 셀 어레이 영역을 한정하고,

상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제2 하부 게이트 도전막을 식각하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

**【청구항 14】**

제 13 항에 있어서,

상기 포토레지스트 패턴을 형성하기 전에 상기 제2 하부 게이트 도전막 상에 하드 마스크막을 형성하는 것을 더 포함하되, 상기 하드마스크막은 상기 제2 하부 게이트 도전막을 식각하기 전에 상기 포토레지스트 패턴을 식각마스크로 사용하여 식각되어 하드 마스크 패턴을 형성하고, 상기 하드마스크 패턴은 상기 게이트 식각저지막 패턴과 함께 동시에 제거되는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

**【청구항 15】**

제 12 항에 있어서,

상기 제1 및 제2 트렌치 마스크 패턴들을 형성하는 것은

상기 제1 하부 게이트 도전막 패턴이 노출된 반도체기판의 전면 상에 트렌치 마스크막을 형성하고,

상기 트렌치 마스크막을 패터닝하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

**【청구항 16】**

제 15 항에 있어서,

상기 트렌치 마스크막은 적어도 연마저지막을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

**【청구항 17】**

제 16 항에 있어서,

상기 트렌치 마스크막은 완충산화막, 연마저지막 및 하드마스크막을 차례로 적층시킴으로써 형성하는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

**【청구항 18】**

제 12 항에 있어서,

상기 트렌치 영역들을 형성하는 것은

상기 그루브 영역을 갖는 반도체기판 상에 상기 셀 어레이 영역을 덮는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴 및 상기 제1 트렌치 마스크 패턴을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 상기 주변회로 영역 및 상기 경계 영역 내에 각각 예비 주변회로 트렌치 영역 및 상기 예비 주변회로 트렌치 영역보다 깊은 예비 경계 트렌치 영역을 형성하고,

상기 포토레지스트 패턴을 제거하고,

상기 제1 및 제2 트렌치 마스크 패턴들을 식각 마스크들로 사용하여 상기 반도체기판을 식각하여 상기 주변회로 영역 및 상기 셀 어레이 영역 내에 각각 주변회로 트렌치 영역 및 상기 주변회로 트렌치 영역보다 얇은 셀 트렌치 영역을 형성함과 동시에 상기 경계 영역 내에 상기 주변회로 트렌치 영역보다 깊은 경계 트렌치 영역을 형성하는 것을 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

**【청구항 19】**

제 12 항에 있어서,

상기 트렌치 영역들 내에 소자분리막을 형성하는 것을 더 포함하는 것을 특징으로 하는 플래쉬 메모리소자의 자기정렬 트렌치 소자분리 방법.

**【청구항 20】**

제1 영역, 상기 제1 영역으로부터 이격된 제2 영역 및 상기 제1 및 제2 영역들 사이의 경계 영역을 갖는 반도체기판;

상기 제1 영역 내의 상기 반도체기판에 형성되어 제1 활성영역을 한정하는 제1 트렌치 영역;

상기 제2 영역 내의 상기 반도체기판에 형성되어 제2 활성영역을 한정하는 제2 트렌치 영역; 및

상기 경계 영역 내의 상기 반도체기판에 형성되고 상기 제1 및 제2 트렌치 영역들보다 깊은 경계 트렌치 영역을 포함하는 반도체소자.

**【청구항 21】**

제 20 항에 있어서,

상기 제1 영역은 주변회로 영역이고, 상기 제2 영역은 플래쉬 메모리 셀 어레이 영역인 것을 특징으로 하는 반도체소자.

**【청구항 22】**

제 20 항에 있어서,



상기 제1 활성영역 상에 차례로 적층된 제1 게이트 절연막 및 제1 하부 게이트 전극 패턴; 및

상기 제2 활성영역 상에 차례로 적층된 제2 게이트 절연막 및 제2 하부 게이트 전극 패턴을 더 포함하되, 상기 제2 게이트 절연막은 상기 제1 게이트 절연막과 다른 두께를 갖는 것을 특징으로 하는 반도체소자.

**【청구항 23】**

제 20 항에 있어서,

상기 제1 트렌치 영역은 상기 제2 트렌치 영역보다 깊은 것을 특징으로 하는 반도체소자.

**【청구항 24】**

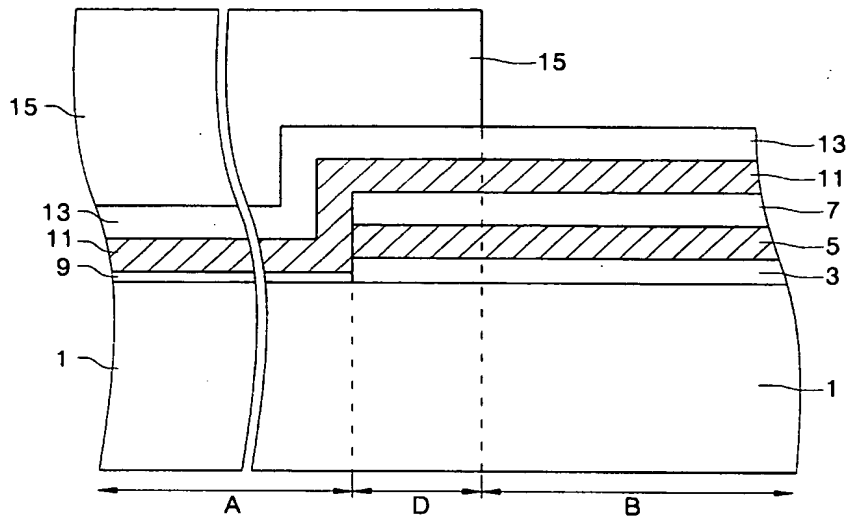
제 20 항에 있어서,

상기 제1 트렌치 영역, 상기 제2 트렌치 영역 및 상기 경계 트렌치 영역을 채우는 소자분리막을 더 포함하는 것을 특징으로 하는 반도체소자.

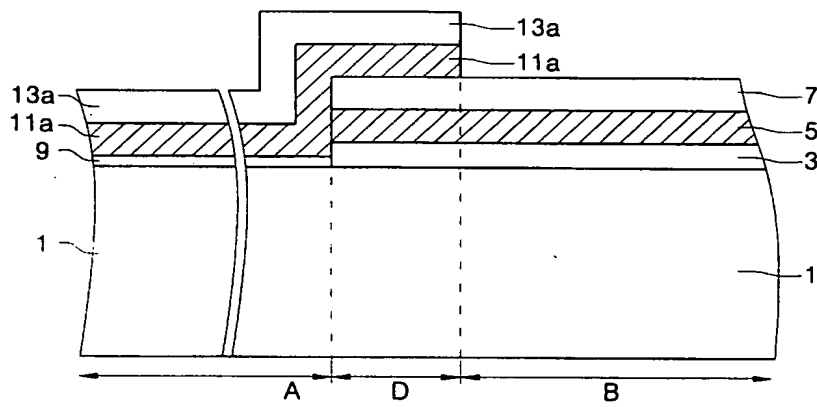


【도면】

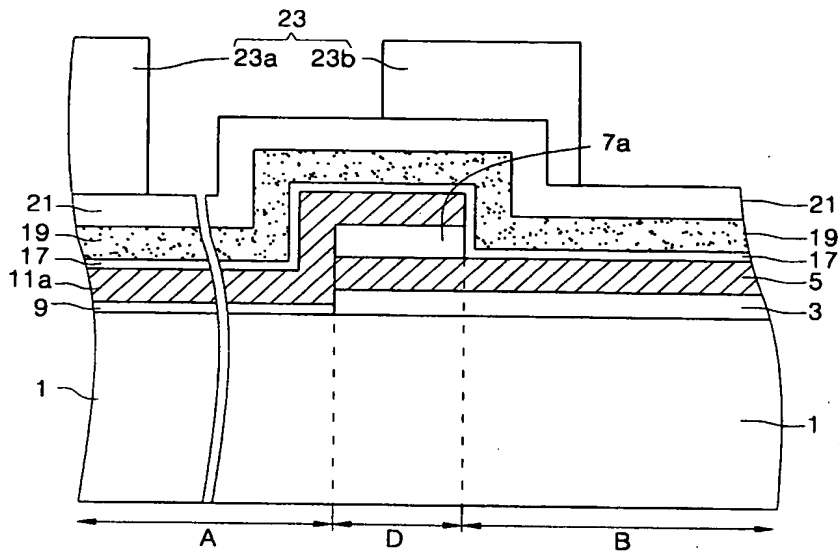
【도 1】



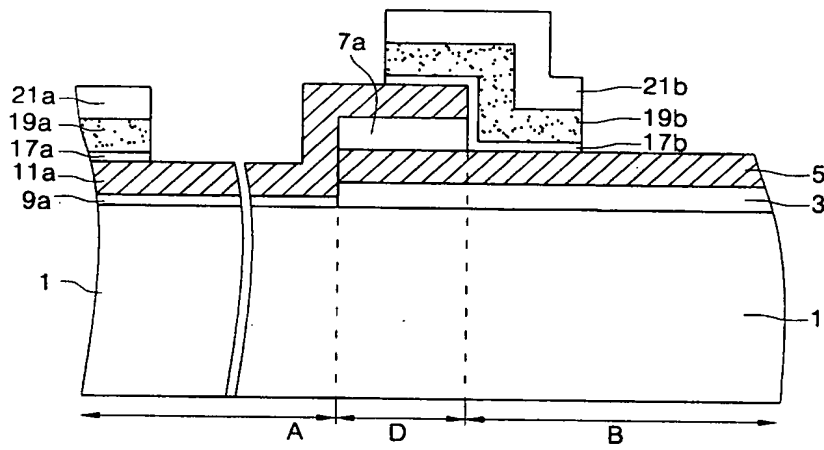
【도 2】



【도 3】

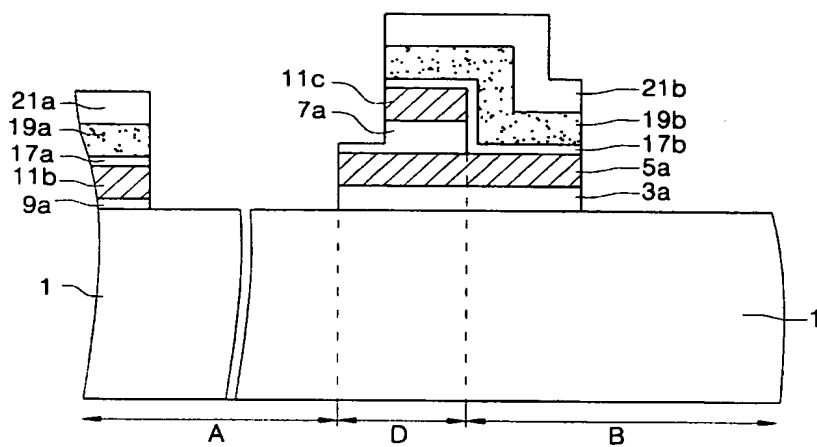


【도 4】

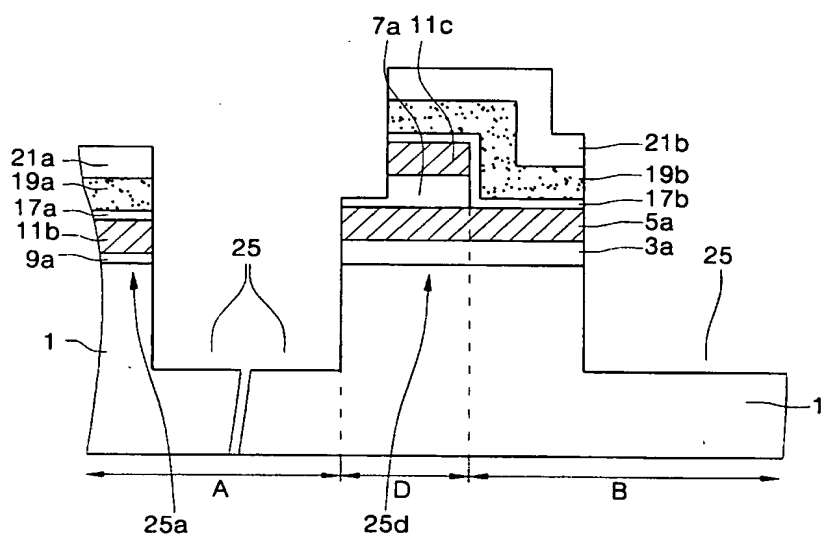




【도 5】

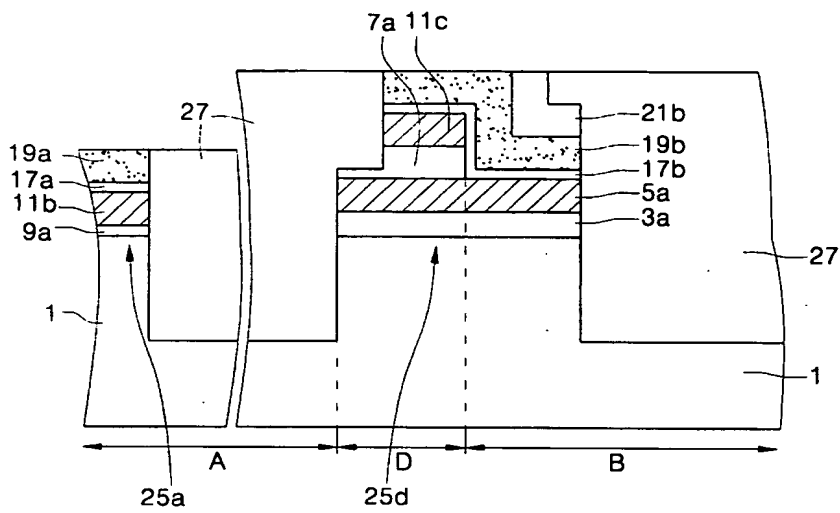


【도 6】

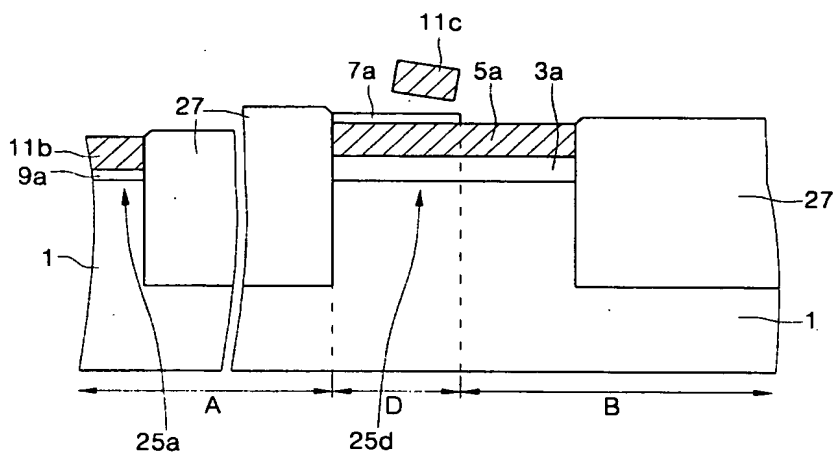




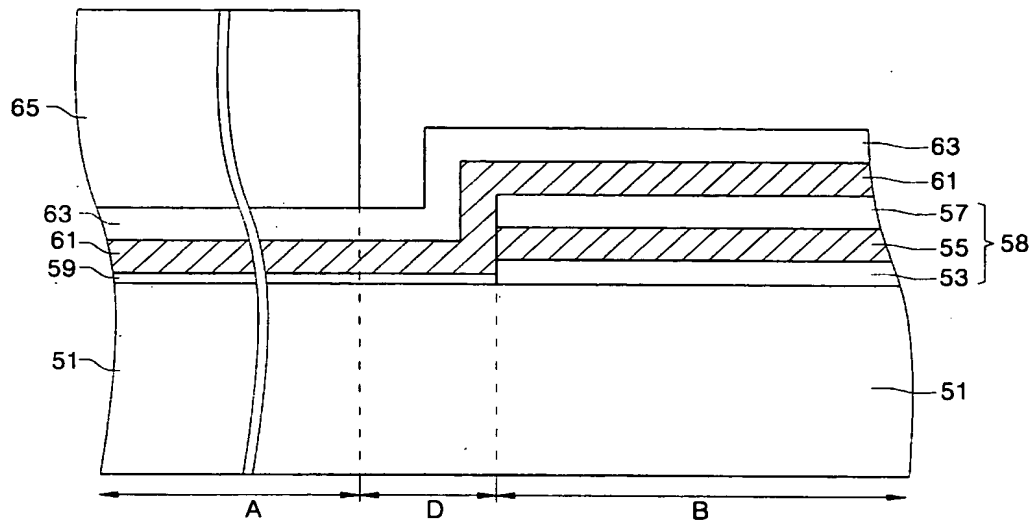
【도 7】



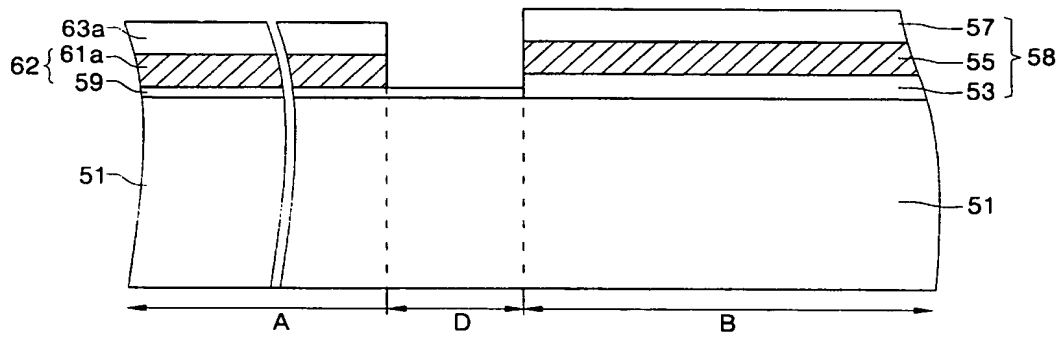
【도 8】



【도 9】

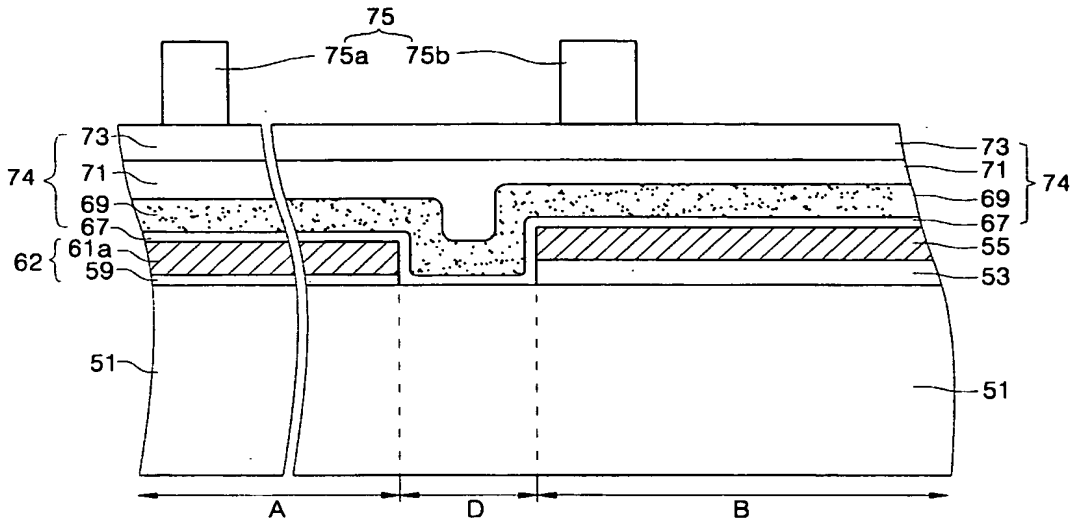


【도 10】

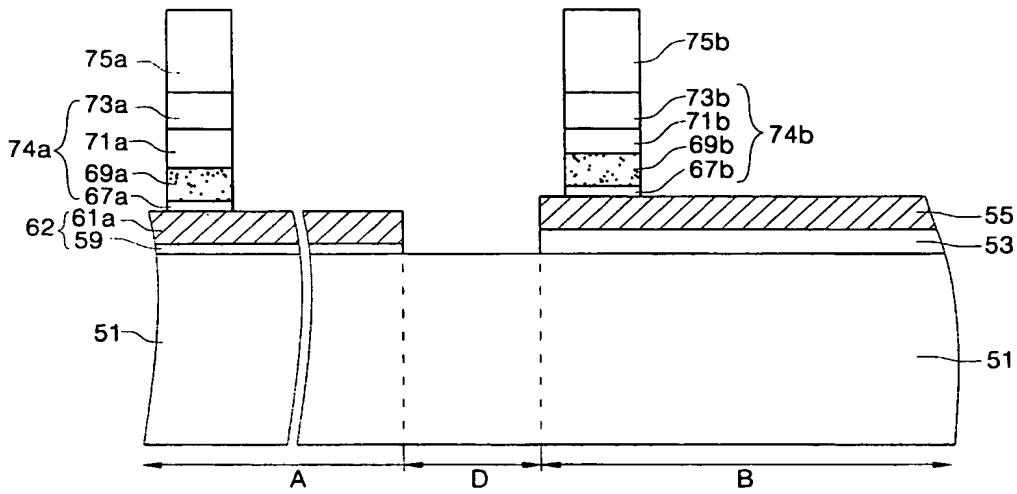




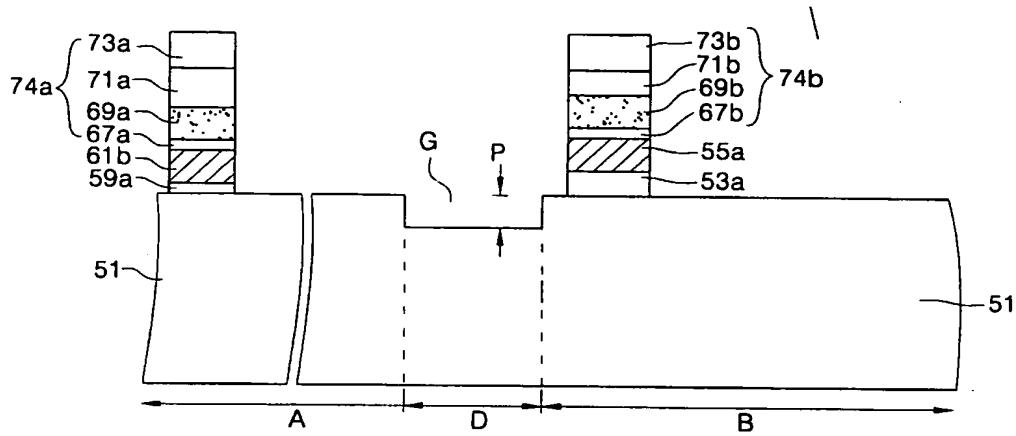
【도 11】



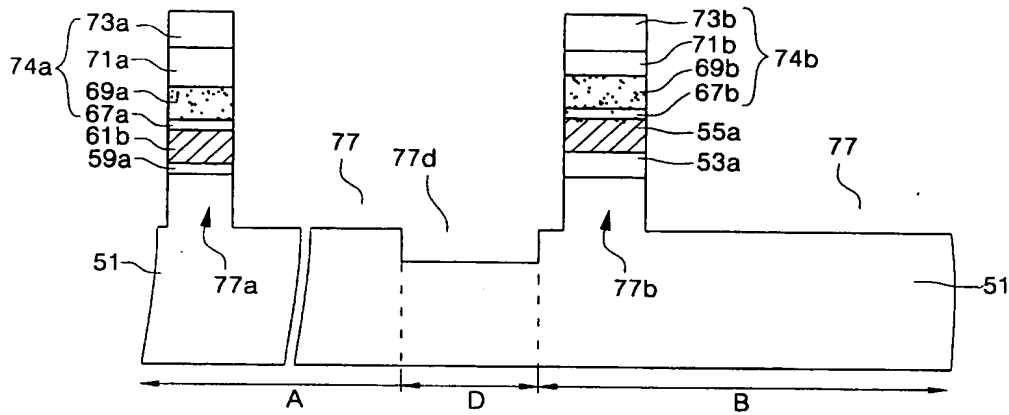
【도 12】



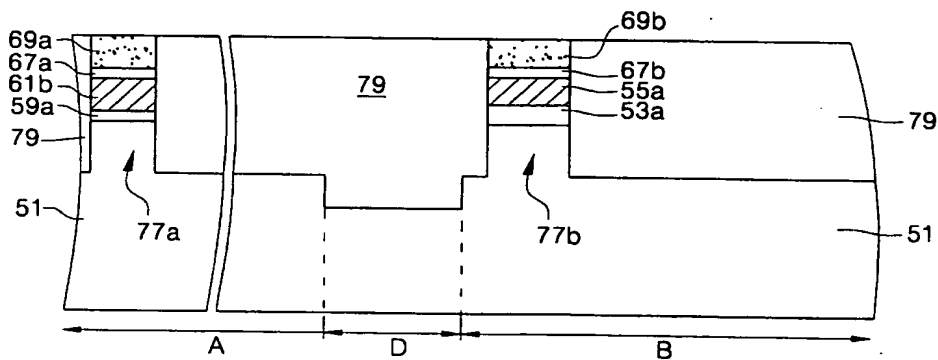
【도 13】



【도 14】

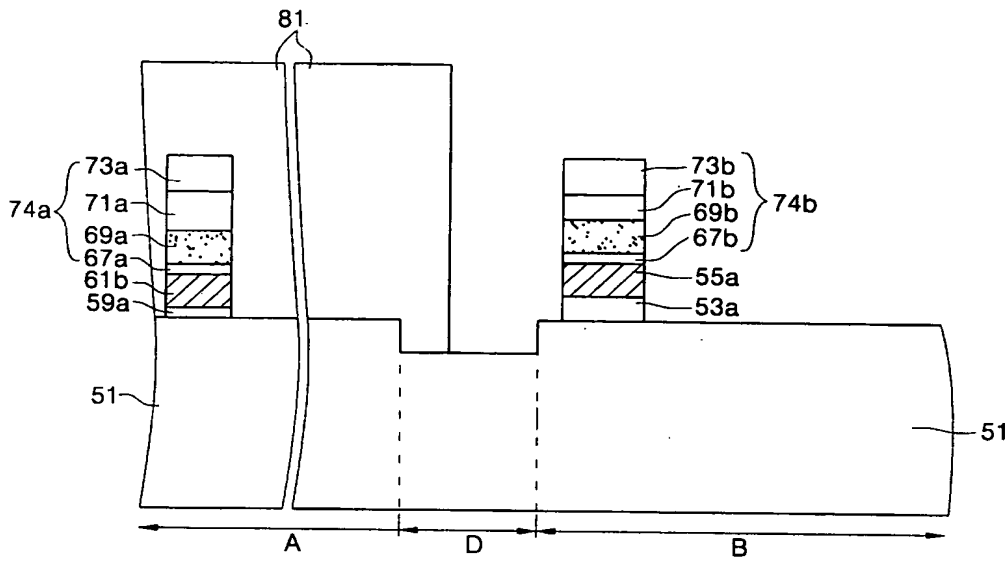


【도 15】

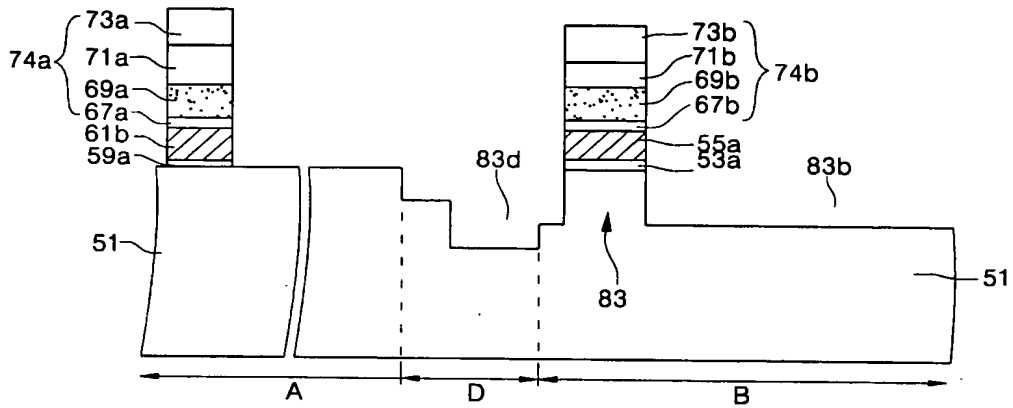




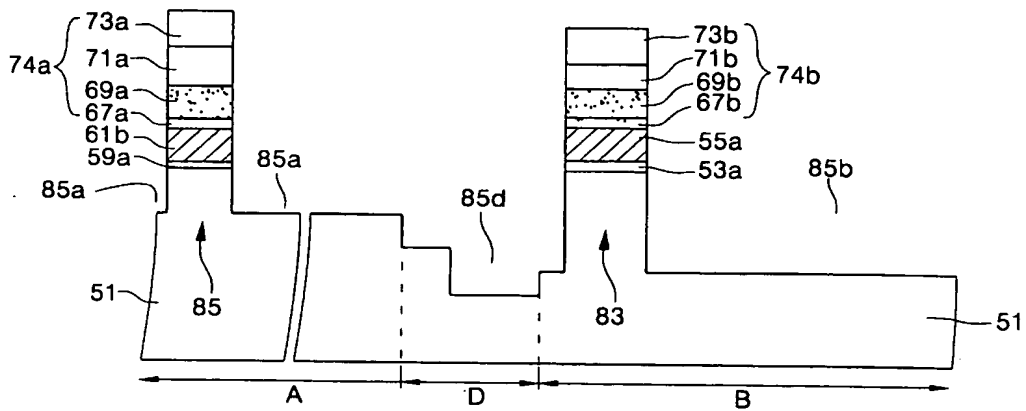
【도 16】



【도 17】



【도 18】



【도 19】

